

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-363024
 (43)Date of publication of application : 15.12.1992

(51)Int.CI.

H01L 21/3205

(21)Application number : 03-296035
 (22)Date of filing : 12.11.1991

(71)Applicant : TOSHIBA CORP.
 (72)Inventor : KATSURA TOSHIHIKO
 IGUCHI TOMOYUKI
 ABE MASAYASU

(30)Priority

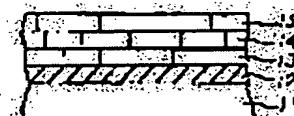
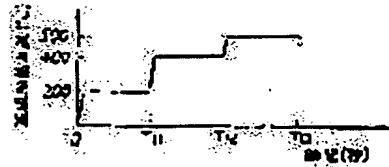
Priority number : 02336062 Priority date : 30.11.1990 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form an Al wiring layer with good reproducibility by changing a temperature to heat a semiconductor substrate by at least two steps and by forming a film for each step when forming a film by depositing aluminum or aluminum alloy on the semiconductor substrate.

CONSTITUTION: A wiring layers 13 to 15 which consist of Al alloy whereto Si is added by 1% are formed one by one on a surface of a silicon oxide film 12 on a semiconductor substrate 11. Film thickness of each of the Al wiring layers 13 to 15 is made 300Å. Since heating temperatures of the semiconductor substrate 11 are different, all the crystal grain sizes of the Al wiring layers 13 to 15 are different. Since a heating temperature of a first layer of Al wiring layer 13 is 200° C, the lowest, its crystal grain is the smallest. Since a heating temperature of a second layer of Al wiring layer 14 is as high as 400° C, its crystal grain is larger than that of the Al wiring 13. Since a third layer of Al wiring layer 15 is heated to 500° C, the highest, its crystal grain is the largest.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-363024

(43)公開日 平成4年(1992)12月15日

(51)Int.Cl.¹

H 01 L 21/3205

識別記号

序内整理番号

F 1

技術表示箇所

7353-4M

H 01 L 21/ 88

N

審査請求 未請求 請求項の数 9 (全 10 頁)

(21)出願番号 特願平3-296035

(22)出願日 平成3年(1991)11月12日

(31)優先権主張番号 特願平2-336062

(32)優先日 平2(1990)11月30日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 桂 敏 彦

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72)発明者 井 口 知 之

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72)発明者 安 部 正 泰

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

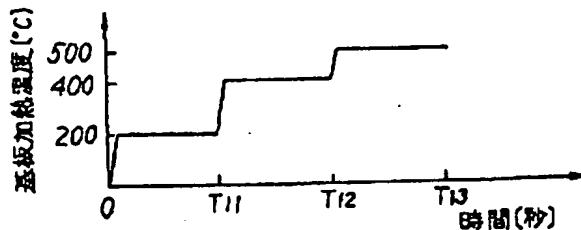
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 A1配線層の耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性を向上させる。

【構成】 半導体基板上に、アルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記半導体基板を加熱する温度を少なくとも二段階にステップ状に変化させて、各段階毎に前記膜を形成していく。



【特許請求の範囲】

【請求項1】半導体基板上に、アルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記半導体基板を加熱する温度を少なくとも二段階にステップ状に変化させて、各段階毎に前記膜を形成していくことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に、アルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記膜を形成する速度を少なくとも二段階にステップ状に変化させて、各段階毎に前記膜を形成していくことを特徴とする半導体装置の製造方法。

【請求項3】前記膜の形成は、前記半導体基板を摂氏約440度以上に加熱した状態で行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】ホールが形成されている半導体基板上に、スパッタリングを行ってアルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、初期段階では前記半導体基板を摂氏約180度以下に加熱した状態で前記膜の形成を行うことを特徴とする半導体装置の製造方法。

【請求項5】前記初期段階は、前記アルミニウム又はアルミニウム合金が堆積して形成された前記膜の膜厚が、前記ホール以外の領域で約1000オングストローム以上に到達するまでの段階であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記初期段階を終了した後は、前記半導体基板を摂氏約460度以上に加熱した状態で、前記膜の形成を行うことを特徴とする請求項4又は5記載の半導体装置の製造方法。

【請求項7】ホールが形成されている半導体基板上に、スパッタリングを行ってアルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記膜を形成する速度を初期段階では初期以降の段階よりも遅くすることを特徴とする半導体装置の製造方法。

【請求項8】前記初期段階は、前記アルミニウム又はアルミニウム合金が堆積して形成された前記膜の膜厚が、前記ホール以外の領域で約3000オングストローム以上に到達するまでの段階であることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記初期段階では、前記半導体基板を摂氏約460度以上に加熱した状態で、前記膜の形成を行うことを特徴とする請求項7又は8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係わり、特に配線層の形成方法に関する。

【0002】

【従来の技術】Al及びAl合金は、電気抵抗が低く加工性にも優れるため、半導体装置において配線層の材料

として多く用いられている。しかし、Al又はAl合金から成る配線層は、エレクトロ・マイグレーションやストレス・マイグレーションが発生しやすい。このような不良の発生を抑制する為、Al合金中には、銅(Cu)、チタン(Ti)、鉛(Pd)、シリコン(Si)等が添加されているが、配線の微細化に伴ない、抑制効果が不十分となってきている。

【0003】エレクトロ・マイグレーションやストレス・マイグレーションは、Alの結晶粒界の界面で起きやすい。そこで従来は対策として、Al配線層を幾つかの層に分けて積層させ、各Al配線層の間にAl酸化膜(Al₂O₃)を介在させることによって、界面が膜厚方向に揺わないように分断させていた。

【0004】従来の配線層の断面構造を図16に示す。半導体基板71の表面にシリコン酸化膜72が形成され、その表面上にAl又はAl合金がスパッタリングにより堆積されて、一層目のAl配線層73が形成される。このAl配線層73の表面が酸化されて、Al酸化膜76が形成される。ここで、酸化処理には幾つかの方法が存在する。大気中にAl配線層73が形成された半導体基板71を放置したり、酸素雰囲気中で自然に酸化させたり、加熱しながら大気中又は酸素雰囲気中で放置したり、あるいは純水中に放置するなどが考えられる。

【0005】しかし、いずれの方法も自然酸化を利用しているため、Al酸化膜76の膜厚を再現性よく制御することはできない。特に、上述したようなSi等の添加物があるAl合金の場合には、局部的に電池が形成されてAl酸化膜の膜厚が厚くなる。そして、Al酸化膜の膜厚によって、結晶粒界の界面を分断させる効果が大きく異なる。従って従来の製造方法では、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性に優れたAl配線層を再現性良く形成することができず、高い信頼性が得られないという問題があった。

【0006】さらに、従来の製造方法には生産性が低いという問題があった。図17に従来の製造工程を示す。まず、シリコン酸化膜72が形成された半導体基板71をAl膜形成装置の内部へ搬入する(工程81)。Al膜形成装置内部を真空状態にするために、真空引きを行う(工程82)。スパッタリングを行い、半導体基板71のシリコン酸化膜72の表面上に、一層目のAl配線層73を形成する(工程83)。Al膜形成装置の内部を大気圧のレベルに等しくするために、いわゆる真空破りを行なう(工程84)。この後、上述した酸化法のいずれかを用いて、Al配線層73上にAl酸化膜76を形成する(工程85)。このような工程82～85をさらに繰り返して、Al配線層74、Al酸化膜77、Al配線層75を順に形成していく。このように従来の製造方法は、Al酸化膜を形成する毎にAl膜形成装置の真空引きと真空破りを繰り返さなければならず、生産性を

低下させ製造コストの増大を招いていた。

【0007】また、A1配線層を形成する表面には、コントラクトホールやヴィアホールが設けられている場合が多い。この場合には、A1配線層をスパッタリングにより形成するときに、半導体基板を摂氏460度以上の温度に加熱させてA1又はA1合金を溶融状態にし、ホールに埋め込むことが行われる。また、溶融したA1やA1合金はシリコン酸化膜に対して濡れ性が悪い。このため、一旦シリコン酸化膜上にチタン(Ti)やチタンナイトライド(TiN)の薄い下地膜を形成し、この下地膜上にA1配線層を高温スパッタリングで形成するようにしている。

【0008】しかし、従来高温スパッタリングを行うと、ホールの内部にヴォイド(空孔)が発生するという問題があった。図18に示されるように、半導体基板90上のシリコン酸化膜91にホール95が開孔されており、Ti薄膜92が表面上に形成された後、その上にA1配線層93が形成されている。このA1配線層93のホール95の部分に、ヴォイド94が発生している。ヴォイド94が存在すると、耐エレクトロ・マイグレーション性や耐ストレス・マイグレーション性が低下し、信頼性の低下を招くことになる。そして、このようなヴォイド94は、ホールの微細化に伴って多く発生していく。

【0009】

【発明が解決しようとする課題】上述のように従来の半導体装置の製造方法には、耐エレクトロ・マイグレーション性や、耐ストレス・マイグレーション性に優れたA1配線層を再現性よく形成することができず、高い信頼性が得られない上に、生産性が低いという問題があった。

【0010】本発明は上記事情に鑑み、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性に優れたA1配線層を再現性よく形成することができると共に、生産コストを低減し得る半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に、A1又はA1合金を堆積させて膜を形成する際に、半導体基板を加熱する温度を少なくとも二段階にステップ状に変化させ、各段階毎に膜を形成していくことを特徴としている。

【0012】あるいは、本発明の半導体装置の製造方法は、半導体基板上に、アルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記膜を形成する速度を少なくとも二段階にステップ状に変化させて、各段階毎に前記膜を形成していくことを特徴としている。

【0013】ここで、前記膜の形成は前記半導体基板を摂氏約440度以上に加熱した状態で行うことが望ましい。

【0014】また、本発明の半導体装置の製造方法は、

ホールが形成されている半導体基板上に、スパッタリングを行ってアルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、初期段階では前記半導体基板を摂氏約180度以下に加熱した状態で前記膜の形成を行うことを特徴としている。

【0015】ここで、前記初期段階は、前記アルミニウム又はアルミニウム合金が堆積して形成された前記膜の膜厚が、約1000オングストローム以上に到達するまでの段階であることが望ましい。

【0016】また、前記初期段階を終了した後は、前記半導体基板を摂氏約460度以上に加熱した状態で、前記膜の形成を行うのが望ましい。

【0017】あるいは、本発明の半導体装置の製造方法は、ホールが形成されている半導体基板上に、スパッタリングを行ってアルミニウム又はアルミニウム合金を堆積させて膜を形成する際に、前記膜を形成する速度を、初期段階では初期以降の段階よりも遅くすることを特徴としている。

【0018】この場合の初期段階は、ホール以外の領域で膜の厚さが約3000オングストローム以上に到達するまでというようにすることもできる。

【0019】また、初期段階では半導体基板を摂氏約460度以上に加熱した状態で膜の形成を行うのが好ましい。

【0020】

【作用】半導体基板上にA1又はA1合金を堆積させて膜を形成する際に、半導体基板を加熱する温度を、少なくとも二段階にステップ状に変化させることにより、少なくとも二層以上の膜が段階的に形成されていく。この場合に、基板加熱温度がステップ状に変化していくため、結晶粒の大きさが異なる膜が段階的に積層される。このため、各々の膜の結晶粒界の界面が膜厚方向に並ばず分断される。ここで各々の膜の膜厚は、A1又はA1合金を堆積させる厚みを制御することで精度よく制御することができ、さらに各々の膜の結晶粒の大きさは、基板加熱温度を制御することで容易に高精度に制御することができる。従って、耐エレクトロマイグレーション性に優れた膜を再現性よく形成することができる。

【0021】あるいは、膜形成速度を少なくとも二段階にステップ状に変化させることで、結晶粒の大きさの異なる膜が段階的に積層されるため、同様に結晶粒界の界面が膜厚方向に並ばない状態に形成される。この場合の基板加熱温度は、摂氏440度以上にすることで、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性を向上させることができる。

【0022】またホールが形成された基板上に膜を形成する場合には、初期段階では摂氏180度以下に基板加熱温度を設定することで、ホール内部にA1又はA1合金を凹凸なく付着させていくことができ、ヴィアホールの発生を防止することが可能である。この結果、耐エレ

クトロ・マイグレーション性及び耐ストレス・マイグレーション性の向上がもたらされる。

【0023】ここで、初期段階はホールの径や深さに応じて変えることができるが、例えばホール以外の領域で膜厚が1000オングストローム以上としてもよい。

【0024】また、初期段階を過ぎた後は基板加熱温度を摂氏460度以上にして膜を形成した方が、ホール部以外での耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性の向上がもたらされる。

【0025】ホールが形成されている半導体基板上に膜を形成する場合に、初期段階では初期以降の段階よりも膜形成速度を遅くすることで、ホールの上部にA1又はA1合金が架橋した状態にならず、ホール内にヴォイドが発生するのが防止される。

【0026】ここで、初期段階は例えばホール以外の領域で膜厚が3000オングストローム以上になった段階とすることもできる。

【0027】また、初期段階で膜形成速度を遅くするとともに、半導体基板を摂氏約460度以上に加熱することにより、溶融したA1又はA1合金が少量ずつホール内へ溶け込んで埋没していき、ヴォイドの発生が防止される。

【0028】

【実施例】以下、本発明の一実施例による半導体装置の製造方法について、図面を参照して説明する。先ず、第1の実施例による製造方法は、半導体基板上にA1又はA1合金から成るA1配線層をスパッタリングにより形成する時に、半導体基板を加熱する温度を段階的に変化させる点に特徴がある。

【0029】図1に、加熱温度の時間的な変化を示す。先ず、T11秒までは半導体基板を摂氏200度に加熱し、T11秒を経過してT12秒までの間は摂氏400度に加熱する。この後、T13秒まで摂氏500度に加熱する。このように、半導体基板の加熱温度をステップ状に3段階に変化させてスパッタリングを行い、A1配線層を三層構造で形成する。

【0030】図2に、形成されたA1配線層の断面構造を示す。半導体基板11上のシリコン酸化膜12の表面に、Siが1%添加されたA1合金から成るA1配線層13～15が順に形成されている。それぞれのA1配線層13～15の膜厚は、いずれも3000オングストロームであるとする。そして、半導体基板11を加熱した温度がそれぞれ異なることにより、各A1配線層13～15の結晶粒の大きさは全て異なる。一層目のA1配線層13は、加熱温度が摂氏200度と最も低いため、結晶粒は最も小さい。二層目のA1配線層14は、加熱温度が摂氏400度と高く、結晶粒はA1配線層13よりも大きくなっている。三層目のA1配線層15では、最も高い摂氏500度に半導体基板11が加熱されるため、結晶粒は最も大きい。

【0031】ここで、半導体基板を加熱する温度をステップ状に下げて各A1配線層を形成してもよい。この場合には、図2とは逆に一層目から三層目に向かうに従い、結晶粒は小さくなっていく。あるいは、例えば一層目のA1配線層は半導体基板を摂氏400度の高温で加熱して形成し、二層目は摂氏200度の低温で形成し、三層目は再び摂氏500度の高温に加熱して形成するというように、周期的に高温と低温とを交互に繰り返してもよい。この場合には、結晶粒の大きいA1配線層と結晶粒の小さいA1配線層とが交互に積層された構造となる。

【0032】このように、第1の実施例の製造方法によれば結晶粒径の異なる三層のA1配線層が積層される。このため、結晶粒界の界面が膜厚方向に並ばず分断され、エレクトロ・マイグレーション及びストレス・マイグレーションによる断線不良の発生が防止される。ここでA1配線層は、スパッタリングでA1又はA1合金を堆積させる厚みを制御することで所望の膜厚に精度良く制御でき、また結晶粒の大きさは、基板加熱温度の設定により所望の大きさに制御することができるため、再現性に優れている。これにより、A1配線の信頼性が向上する。

【0033】また、第1の実施例による製造方法では、その製造工程が図3に示されるように簡略化される。A1膜形成装置の内部に半導体基板が搬入される（工程21）。A1膜形成装置内部が真空になるように、真空引きが行われる（工程22）。スパッタリングにより、A1配線層が半導体基板上に形成される（工程23）。ここで、加熱温度を段階的に変える毎に半導体基板を搭載するステージを変えてスパッタリングを行ってもよい。

A1配線層の形成が終了すると、A1膜形成装置の内部気圧が大気圧と等しくなるように真空破りが行われる（工程24）。そして、A1配線層が形成された半導体基板が、A1膜形成装置から搬出される（工程25）。従来の製造方法では、上述したようにA1酸化膜を形成する毎に真空引きと真空破りとを繰り返さなければならず、生産性が低かった。これに対し、本実施例の製造方法ではA1酸化膜を形成する必要がないため、真空引きと真空破りはそれぞれ1回ずつ行えば足りる。さらに、A1酸化膜を形成する工程自体も不要となる。従って、第1の実施例によれば生産性が大幅に向上し、コスト低減が達成される。

【0034】次に、第1の実施例による製造方法により得られたA1配線層の耐エレクトロ・マイグレーション性について試験した結果について述べる。半導体基板上にシリコン酸化膜を形成した後、第1の実施例の製造方法を用いて結晶粒径の異なる三層構造のA1配線層を形成した。また各A1配線層に対しては、通常の写真蝕刻法やRIE（リアクティブイオンエッティング）法を用いてパターニングを行った。このA1配線層について、耐

エレクトロ・マイグレーション性に関する信頼性試験を行った。測定対象となった配線パターンは、配線幅が2 μm で長さが1 mm の直線状のものである。試験温度は摂氏200度に設定し、電流密度は $2.0 \times 10^6 \text{ A/cm}^2$ とした。また、本実施例による製造方法で形成されたA1配線層と比較するために、従来の製造方法によりA1配線層を形成した。

【0035】そして図4に試験結果を示す。実線bが第1の実施例による製造方法で得られたA1配線層のMTF (mean time to failure) 値を示し、実線aが従来の製造方法で得られたMTF値である。ここでMTF値は、それぞれエレクトロ・マイグレーションが発生して不良となった割合が全サンプル数の50%になるまでに要した時間を示すものとする。従来の方法により製造されたA1配線層では、MTF値は約800時間から4000時間までばらついている。このことは、従来の製造方法では耐エレクトロ・マイグレーション性に優れたA1配線層を再現性よく形成することができないことを示す。

【0036】これに対し、第1の実施例による製造方法で製造されたA1配線層のMTF値は、約3000時間から4000時間に集中して分布している。これより、第1の実施例による製造方法は、耐エレクトロ・マイグレーション性に優れたA1配線層を再現性よく形成できることがわかる。

【0037】この試験結果は、A1配線層を図2のように3層構造とした場合のものである。しかし3層構造の場合に限らず、基板加熱温度を摂氏200度と摂氏500度の2段階に分けて2層構造のA1配線層を形成した場合にも、同様に耐エレクトロ・マイグレーション性に優れたものが再現性よく形成されることが確認された。

【0038】上述した第1の実施例は一例であり、本発明を限定するものではない。例えば、基板加熱温度は連続したA1配線層の間で異なっていればよく、またA1配線層の数は2層又は3層に限らず4層以上であってよい。

【0039】次に、本発明の第2の実施例による製造方法について説明する。第2の実施例は、A1配線層を形成するときの膜形成速度を、段階的に変化させる点に特徴がある。膜形成速度は、例えばターゲットであるA1へ衝突させるアルゴン (Ar) イオンの速度や密度を変えることなどにより、変化させることができることである。

【0040】図5に、スパッタリングによりA1合金を堆積させてA1膜を形成する速度を、時間の経過と共に変化させた様子を示す。膜の形成を開始してから時点T21までの間は、膜形成速度は $0.25 (\mu\text{m}/\text{min})$ であり、時点T21から時点T22までの間は $1.0 (\mu\text{m}/\text{min})$ というように、二段階に変化させている。また、このときの半導体基板の加熱温度は摂氏500度であり、各段階でのA1膜の膜厚はそれぞれ5000オング

ストロームとする。さらに、材質としてはSiが1%添加されたA1合金を用いるとする。

【0041】このような方法で、A1配線層を二層構造で形成した場合の縦断面を図6に示す。上述した第1の実施例とは異なり、半導体基板31を加熱した温度は摂氏500度で一定であるが、膜形成速度を二段階に変化させたことから、シリコン酸化膜32上のA1配線層33及び34は結晶粒の大きさが異なっている。A1合金がスパッタリングによりシリコン酸化膜32上に付着すると、サーフィスマイグレーションと称される現象により表面で拡散し移動する。膜形成速度が遅いと、A1合金が堆積していく速度が遅いため、表面上に付着したA1合金は移動しやすく、移動する距離が大きくなつて結晶粒は大きくなる。逆に膜形成速度が速いと、堆積していく速度が速くなつて、表面上に付着したA1は移動し難くなるため、結晶粒は小さくなる。

【0042】一層目のA1配線層33を形成したときの膜形成速度は、 $0.25 (\mu\text{m}/\text{min})$ と遅く、二層目のA1配線層34を形成したときは $1.0 (\mu\text{m}/\text{min})$ と速い。このため、一層目のA1配線層33は二層目のA1配線層34よりも結晶粒は大きくなっている。

【0043】本発明の第3の実施例では、図7に示されるように三段階で膜形成速度を変えている。膜形成開始から時点T31までの間の膜形成速度は $1.0 (\mu\text{m}/\text{min})$ であり、時点T31から時点T32までは $0.25 (\mu\text{m}/\text{min})$ 、そして時点T32から時点T33までは $1.0 (\mu\text{m}/\text{min})$ に設定されている。このときの半導体基板を加熱する温度は、第2の実施例と同様に摂氏500度である。各段階毎の膜厚は、それぞれ3333オングストロームとする。

【0044】第3の実施例の方法に従い、三段階に膜形成速度を変えてA1配線層を形成したときの縦断面を、図8に示す。半導体基板41のシリコン酸化膜42上に、一層目から三層目のA1配線層43～45が形成されている。一層目のA1配線層43と三層目のA1配線層45は、膜形成速度が速いため結晶粒は小さく、二層目のA1配線層44は膜形成速度が遅いため結晶粒は大きい。

【0045】このように、第2又は第3の実施例の製造方法によれば、結晶粒径の異なる二層又は三層のA1配線層が積層される。これにより、第1の実施例と同様に、結晶粒界の界面が膜厚方向に並ばずに分断されて、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性が向上する。この場合の結晶粒の大きさは、膜形成速度を変えることで所望の大きさに制御することができ、再現性に優れ均一な品質が維持される。またA1配線層の膜厚は、スパッタリングでA1又はA1合金を堆積させるとときの厚みを制御することで、所望の厚さに精度良く制御することができる。

【0046】さらに、第2及び第3の実施例における製造工程は、第1の実施例の場合と同様に簡略化される。図3に示されるように、半導体基板がA1膜形成装置に搬入され(工程21)、A1膜形成装置の内部が真空引きによって真空状態になる(工程22)。A1膜形成装置内部で、膜形成速度が段階的に変えられて半導体基板上にA1配線層が積層される(工程23)。A1配線層の形成が終了すると真空破りが行われ(工程24)、半導体基板が搬出される(工程25)。このように、A1膜形成装置を真空にする工程と真空破りを行う工程をそれぞれ1回ずつ行えば足りるため、生産性の向上に寄与することができる。

【0047】第2及び第3の実施例の方法により製造されたA1配線層の耐エレクトロ・マイグレーション性を試験した結果について、以下に述べる。半導体基板上にシリコン酸化膜を形成し、第2及び第3の実施例のそれぞれの膜形成速度に従って、二層又は三層構造のA1配線層を形成した。それぞれの配線層に対し、写真蝕刻法及びRIE技術を用いてパターニングし、幅が2μmで長さが1mmの直線状の配線を得た。試験温度は、第1の実施例によるA1配線層について試験した場合と同様に摂氏200度とし、電流密度は $2.0 \times 10^6 \text{ A/cm}^2$ とした。

【0048】図9に、試験を行った結果得られたMTF値を示す。実線aは、図4に示されたものと同様に従来の製造方法で得られたA1配線層のMTF値を示し、実線cは第2の実施例による製造方法で得られたA1配線層のMTF値で、実線dは第3の実施例による製造方法で得られたA1配線層のMTF値である。

【0049】上述したように、従来の方法で製造されたA1配線層は、MTF値が約800時間から4000時間までばらついており、耐エレクトロ・マイグレーション性が低いことがわかる。

【0050】第2の実施例により製造されたA1配線層のMTF値は、約4000時間から5000時間に集中して分布し、第3の実施例により製造されたA1配線層のMTF値は、約4500時間から5500時間に集中して分布している。このことから、第2又は第3の実施例における膜形成速度を二段階以上に変える製造方法によれば、耐エレクトロ・マイグレーション性に優れたA1配線層を再現性よく形成することができることがわかる。

【0051】ここで、第2及び第3の実施例では、A1配線層を形成する間半導体基板の加熱温度は摂氏500度で一定である。この加熱温度がMTF値に与える影響について、試験を行った。図10に、基板加熱温度とMTF値との関係を示す。基板加熱温度を、摂氏200度(実線e1)、300度(実線e2)、400度(実線e3)、420度(実線e4)、440度(実線e5)、500度(実線e6)の6種類に設定し、それぞ

れの温度でA1配線層を形成した。上述した試験方法でMTF値を測定したところ、摂氏440度以上でMTF値が大幅に向上することが明らかにされた。

【0052】よって、第2又は第3の実施例によりA1配線層を形成する場合には、基板加熱温度は摂氏440度以上に設定した上で膜形成速度を二段階以上に変えることが望ましい。

【0053】上述した第2及び第3の実施例も第1の実施例と同様に一例に過ぎず、本発明を限定するものではない。例えば、膜形成速度は少なくとも二段階で変えよう、4段階以上に渡って変えててもよい。

【0054】次に、本発明の第4の実施例について説明する。この実施例は、コンタクトホール又はヴィアホールの形成された半導体基板上にA1配線層を形成する際に、A1又はA1合金でホール内を埋めていく途中の初期段階において、半導体基板の加熱温度を摂氏180度以下にする点に特徴がある。

【0055】この初期段階における基板加熱温度が、A1配線層中の VOIDの発生に与える影響について調べた結果を説明する。

【0056】半導体基板上にシリコン酸化膜を約1μmの厚さに形成し、写真蝕刻法とRIE技術を用いて、直径約1μm、深さ約1μmのホールを形成した。シリコン酸化膜及びホールの内部に、Ti膜をスパッタリングで300オングストロームの厚さに形成し、さらにその上にTiN膜をスパッタリングで1000オングストロームの厚さに形成して下地膜を形成した。

【0057】このような4種類のサンプルを用意し、基板加熱温度を変えてA1配線層を0.2μmの厚さに形成した。この膜厚は、ホールが存在しない平坦部分におけるものとする。膜形成速度は、0.3(μm/min)に設定した。そして、ホール側面におけるA1配線層中のVOIDの発生状況を、走査型電子顕微鏡を用いて観察した。

【0058】図11(a)～(d)に、加熱温度を摂氏150度、180度、210度、240度にそれぞれ設定したときのホール57内部の状況を示す。上述したように、半導体基板50上には膜厚1μmのシリコン酸化膜51が形成され、直径が1μmで深さが1μmのホール57が開孔されており、さらにその表面上にはTi膜とTiN膜とから成る下地膜52が形成されている。

【0059】図11(a)に示されるように、基板加熱温度を摂氏150度にした場合は、A1配線層53はホール57の側面において平坦に形成されており、凹凸は存在しない。この状況は、図11(b)のように摂氏180度に加熱した場合のA1配線層54においても同様である。

【0060】しかし、図11(c)に示されたように、基板加熱温度が摂氏210度になると、ホール57内部のA1配線層55には凹凸55aが発生した。基板加熱

温度が摂氏240度に設定された場合も、図11(d)のように凹凸56aが観察された。

【0061】このように、Al配線層をホールを埋めるように形成する場合、初期段階では基板加熱温度を摂氏180度以下に設定することで、ホール側面にAl膜を滑らかに形成することができる。ここで、どの段階までを初期段階とするかはホールの直径や深さにより異なるが、例えば平坦部において少なくとも約1000オングストロームの厚さに形成されるまでとすることもできる。

【0062】次に、初期段階において同様に基板加熱温度を変えて約0.2μmの膜厚のAl配線層を形成し、さらに加熱温度を摂氏460度に上昇させて約0.8μmのAl配線層を形成してホール内の状況を調べた結果について述べる。図12(a)のように、初期段階で基板加熱温度を摂氏150度にした場合にはホール内部にヴォイドは発生しなかった。同様に、初期段階での加熱温度を摂氏180度にした場合にも、図12(b)のようにヴォイドは発生していない。基板加熱温度が摂氏210度になると、図12(c)に示されたようにホール57内部のAl配線層63中にヴォイド64が発生した。これは、図11(c)に示されたように、初期段階での加熱温度が摂氏210度になると、ホール57の側面のAl膜に凹凸が発生することが影響していると考えられる。初期段階での基板加熱温度が摂氏240度の場合にも、図12(d)のようにヴォイド65の発生が見られた。

【0063】このことから、ホールを埋めるようにAl配線層を形成する場合には、初期段階では基板加熱温度を摂氏180度以下に設定することで、ホール内部のAl配線層中にヴォイドが発生するのを有效地に防止することができる事が明らかとなった。これにより、ホール部における耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性を向上させることが可能である。

【0064】また、初期段階で摂氏180度以下に基板を加熱し、ホール側面に滑らかにAl膜を形成した後は、加熱温度を摂氏460度以上に上昇させてAl配線層を形成する方が望ましい。このように基板加熱温度を設定することで、第2及び第3の実施例において述べたように、ホール部以外での耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性を高めることができる。

【0065】本発明の第5の実施例について説明する。この実施例は、第4の実施例と同様に、ホールの形成された半導体基板上にAl配線層を形成する方法に関する。そして、第5の実施例はAl又はAl合金でホール内を埋めていく初期段階で、膜形成速度を意図的に遅くする点に特徴がある。膜形成速度は、上述したようにターゲットのAlへ衝突させるAlイオンの速度や密度を

低下させることなどによって、遅くすることができる。

【0066】初期段階では膜形成速度を遅くすることで、ホール内部に徐々にAl又はAl合金が堆積されていき、ホールの上部で架橋した状態になってヴォイドが発生するのが防止される。また、初期段階において膜形成速度を遅くするとともに、半導体基板を摂氏約460度以上に加熱すると、溶融したAl又はAl合金が少しずつホール内部へ流れ込んで埋めていくことになり、ヴォイドの発生をより確実に防止することができる。

【0067】次に、この第5の実施例に従って、初期段階で膜形成速度を遅くして形成したAl配線層の評価を行った。

【0068】図13(a)に、評価用の下地の平面図を示し、このA-A線に沿う縦断面を図13(b)に示す。半導体基板100上に熱酸化膜105を約1000オングストロームの膜厚で形成し、その上に5000オングストロームの厚みでAl膜を形成した。写真蝕刻法を用いてこのAl膜をバーニングし、幅が1.5μm、長さが1mmのAl配線層101を4μmの間隔で100本形成した。各Al配線層101の両端には、100μm角のパッド101aを設けた。このAl配線層101の上に、CVD法を用いてシリコン酸化膜を膜厚が1.0μmになるように堆積させる。そして、下層のAl配線層101上に、直径1.0μmのスルーホール102をRIE法により開孔して、評価用下地とした。

【0069】このようにして得られた評価用下地の上に、従来の方法と第5の実施例による方法とを用いて、それぞれAl膜を1.0μmの厚さにスパッタリングで形成した。従来の方法による場合は、膜形成速度は1.0μm/minで一定とし、本実施例による場合は、初期段階では0.1μm/minで、以後は1.0μm/minとした。また、いずれもSiが1%添加されたAl合金を用いた。RIE法により、幅が0.8μmで長さが1mmのAl配線層を得た。図14(a)に、得られたAl配線層の平面図を示し、図14(b)にB-B線に沿う縦断面を示す。上述したように、下地として下層のAl配線層101とシリコン酸化膜105とが形成され、コンタクトホール102が開孔されており、その上に上層のAl配線層104が形成されている。この上層のAl配線層104の両端にも、100μm角のパッド104aが形成されている。

【0070】従来の方法で形成した上層のAl配線層104と、第5の実施例による方法で形成したAl配線層104とに対し、それぞれ下層のAl配線層101との間の導通を摂氏200度、電流密度 2.0×10^4 A/cm²の条件で、150時間のエレクトロ・マイグレーションの試験を行った後に検査することで、ホール102におけるステップカバレージの比較評価を行った。図15に、導通率の比較結果を示す。従来の方法で形成した上層のAl配線層104と下層のAl配線層101との

間の導通率は約40%と低かった。これに対し、第5の実施例により形成した上層のA1配線層104では、導通率は100%であった。このように、本実施例の方法によれば、直徑が1μmでアスペクト比が1.0という比較的急峻なホール102においても、良好なステップカバレージが得られ、Voidの発生を防止できることが明らかになった。

【0071】第5の実施例では、初期段階での膜形成速度を0.1μm/minとし、以後の段階では1.0μm/minとしている。しかし、膜形成速度はアスペクト比に応じて設定を変えることができ、この値に限定されない。特に初期段階では、ホールの上部にA1又はA1合金が架橋した状態とならず、ホール内を埋めることのできる程度に膜形成速度を遅く設定すればよい。

【0072】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、半導体基板上にA1又はA1合金を堆積させて膜を形成する際に、半導体基板を加熱する温度を少なくとも二段階にステップ状に変化させて二層以上の膜を段階的に形成していくため、結晶粒の大きさが異なる膜が段階的に形成され、各々の膜の結晶粒界の界面が膜厚方向に並ばず分断され、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性に優れた膜が再現性よく形成される。またこの製造方法によれば、各々の膜の間の酸化膜を形成させる場合と異なり、膜形成装置を真空状態にしたり大気圧状態にする処理を繰り返す必要がなく、製造コストの低減化を図ることが可能である。

【0073】あるいは、膜形成速度を二段階以上に分けて変えて二層以上の膜を形成することにより、結晶粒の大きさが異なる膜が段階的に形成され、各々の膜の結晶粒界の界面が膜厚方向に並ばず分断され、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性に優れた膜が再現性よく形成される。この方法においても、膜形成装置を真空状態にしたり大気圧状態にする処理はそれぞれ1回ずつで足りるため、製造コストの低減が可能である。

【0074】またホールが形成されている基板上に、ホールを埋めるようにA1配線層を形成する場合には、初期段階での基板加熱温度を摂氏180度以下にすることで、ホール内部のA1配線層中にVoidが発生するのを防止することができ、ホール部での耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性を向上させることができ。

【0075】あるいは、初期段階での膜形成速度を遅くすることで、ホール上部にA1又はA1合金が架橋した状態にならずにホール内を埋めていくことができ、Voidの発生が防止されて、耐エレクトロ・マイグレーション性及び耐ストレス・マイグレーション性が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造方法における半導体基板の加熱温度の時間的変化を示した説明図。

【図2】同製造方法により形成されたA1配線層の断面構造を示した縦断面図。

【図3】同製造方法を用いた場合の製造工程を示した説明図。

【図4】同製造方法と従来の製造方法とを比較した試験結果を示した説明図。

【図5】本発明の第2の実施例による半導体装置の製造方法における半導体基板の膜形成速度の時間的変化を示した説明図。

【図6】同製造方法により形成されたA1配線層の断面構造を示した縦断面図。

【図7】本発明の第3の実施例による半導体装置の製造方法における半導体基板の膜形成速度の時間的変化を示した説明図。

【図8】同製造方法により形成されたA1配線層の断面構造を示した縦断面図。

【図9】本発明の第2及び第3の実施例による製造方法と従来の製造方法とを比較した試験結果を示した説明図。

【図10】本発明の第2の実施例による製造方法において、半導体基板の加熱温度を変えた場合のMTF値の変化を示した説明図。

【図11】コンタクトホールが形成された半導体基板にA1配線層を形成するときの、初期段階における半導体基板の加熱温度の影響を示した縦断面図。

【図12】コンタクトホールが形成された半導体基板にA1配線層を形成したときの半導体基板の加熱温度の影響を示した縦断面図。

【図13】本発明の第5の実施例による製造方法と従来の製造方法とを比較評価するための下層のA1配線層を示した説明図。

【図14】同実施例又は従来の製造方法で形成された上層のA1配線層を示した説明図。

【図15】同実施例によるA1配線層と従来の製造方法によるA1配線層の導通を評価した結果を示した説明図。

【図16】従来の製造方法により形成されたA1配線層の断面構造を示した縦断面図。

【図17】同製造方法を用いた場合の製造工程を示した説明図。

【図18】従来の製造方法によりコンタクトホールが形成されている半導体基板上にA1配線層を形成した場合の断面構造を示した縦断面図。

【符号の説明】

11, 31, 41, 50 半導体基板

50 12, 32, 42, 51 シリコン酸化膜

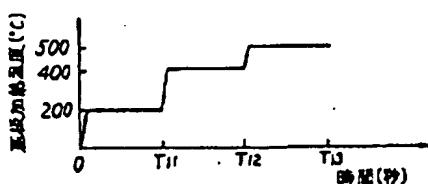
15

13~15, 32, 33, 34, 43~45, 53~5
6 △ I 配線層
46, 47, 61~65 Al酸化膜

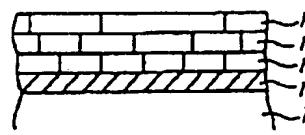
16

52 下地膜
57 ホール
64, 65 ヴォイド

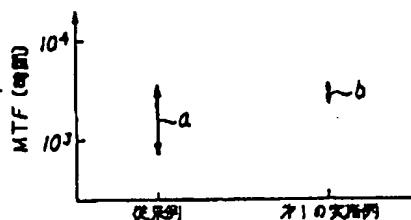
【図1】



【図2】



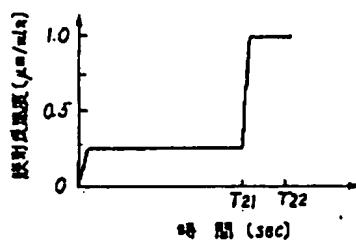
【図4】



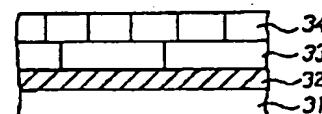
【図3】



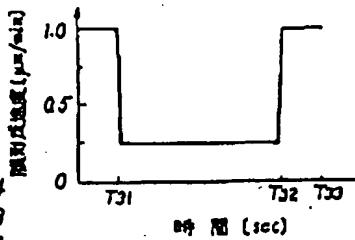
【図5】



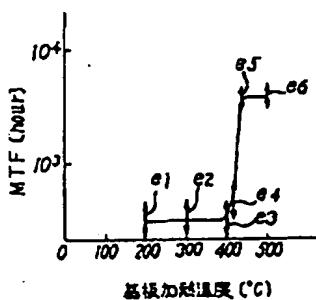
【図6】



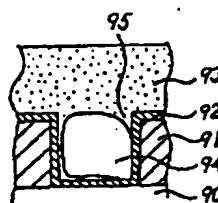
【図7】



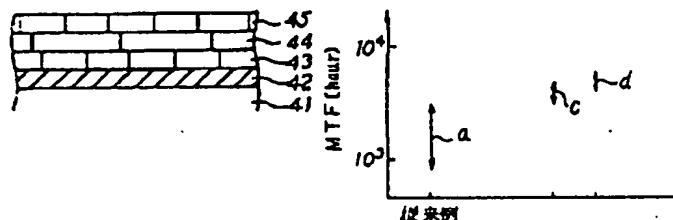
【図10】



【図18】

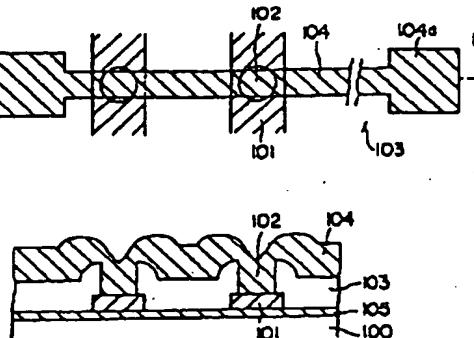


【図8】

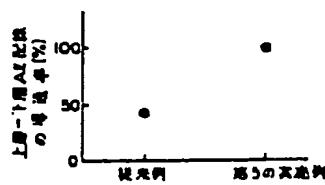


【図9】

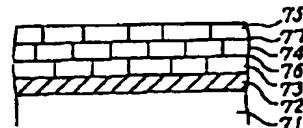
【図14】



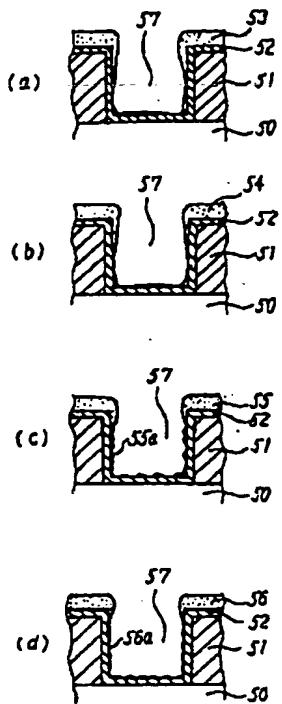
【図15】



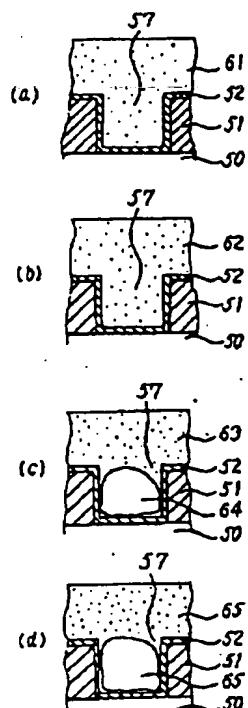
【図16】



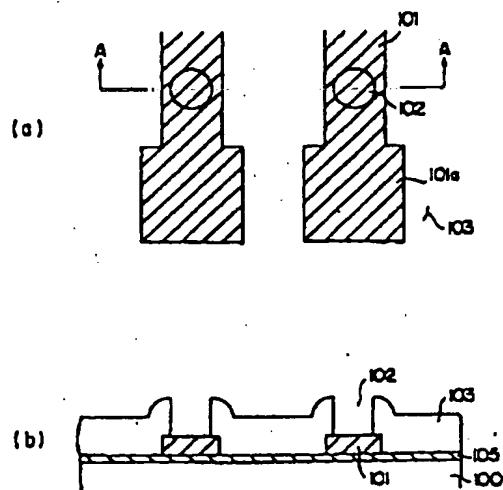
【図11】



【図12】



【図13】



【図17】

